

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-268159

(43)Date of publication of application : 28.11.1991

(51)Int.Cl. G06F 15/16
G06F 9/00

(21)Application number : 02-069361

(71)Applicant : FUJITSU LTD

(22)Date of filing : 19.03.1990

(72)Inventor : KANDA MAKOTO

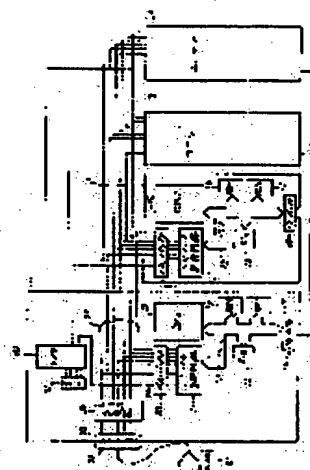
(54) CONSOLE CONNECTION SYSTEM FOR MAINTENANCE

(57)Abstract:

PURPOSE: To perform debugging on a multi-CPU type device efficiently through one console by supplying an enable signal from a selector and operating only a specific serial-parallel converting circuit.

CONSTITUTION: Only one console 21 is used for debugging operation and its connector 22 is connected to the connector 23 of the multi-CPU type device 10. The enable signal is supplied from the selector 30 to operate only the specific serial-parallel converting circuit 11, which converts serial data from the console 21 into parallel data. Thus, a debugging signal from the console 21 is supplied to only the CPUs 12 of specific function units 1 - 3.

Consequently, only one console 21 is provided to supply the debugging signal from the console 21 to the function units 1 - 3 independently in order without any mechanical switching.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-268159

⑬ Int.Cl.⁵

G 06 F 15/16
9/00

識別記号

4 0 0 S
3 4 0

庁内整理番号

8840-5L
7927-5B

⑭ 公開 平成3年(1991)11月28日

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 保守用コンソール接続方式

⑯ 特 願 平2-69361

⑰ 出 願 平2(1990)3月19日

⑱ 発 明 者 神 田 真 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 山谷 皓榮

明 細 書

1. 発明の名称 保守用コンソール接続方式

2. 特許請求の範囲

CPUを有し、特定の機能を有する複数の機能ユニットと、該複数の機能ユニット間を共通バスで接続したマルチCPU型装置において、

コンソール①とコネクタ②を介して接続されるコンソール・バス③と、

複数の機能ユニットのそれぞれに設けられ、ユニット内のCPUバス及び前記コンソール・バス③に接続されたシリアル・パラレル変換回路④と、

前記シリアル・パラレル変換回路④に対してイネーブル信号を選択的に供給するセレクト⑤を備え、外部に前記コンソール②を接続したとき、複数の機能ユニットに対して選択的にコンソールを接続可能として、選択的に保守等の作業を行えるようにしたことを特徴とする保守用コンソール接続方式。

3. 発明の詳細な説明

(目 次)

概要

産業上の利用分野

従来の技術(第4図)

発明が解決しようとする課題

課題を解決するための手段(第1図)

作用

実施例(第2図、第3図)

発明の効果

(概 要)

保守用コンソール接続方式に関し、

CPUを使用した機能ユニットを複数具備したマルチCPU装置に対し、製品開発時及び製品試験時に使用するコンソールを、前記各機能ユニットに効率よく接続することを目的とし、

CPUを有し、特定の機能を行う複数の機能ユニットと、該複数の機能ユニット間を共通バスで接続したマルチCPU型装置において、コンソール

ルと接続されるコネクタ●と接続されるコンソール・バスと、複数の機能ユニットのそれぞれに設けられ、前記コンソール・バスに接続されるシリアル・パラレル変換回路と、前記シリアル・パラレル変換回路に対してイネーブル信号を選択的に供給するセレクタを備え、外部に前記コンソールを接続したとき、複数の機能ユニットに対して選択的にコンソールを接続可能として、選択的に保守等の作業を行えるようにしたことを特徴とする。

〔産業上の利用分野〕

本発明は、複数のCPUを使用した装置に対するコンソール接続方式に係り、特に、複数のCPUを使用した装置の製品開発時及び製品試験時に使用するコンソール接続方式に関する。

近年のコンピュータシステムの高速化、高性能化及び価格の低廉化に伴い、複数のCPUを使用したマルチCPUシステムが増加している。例えば、複雑な装置を制御するためには、1個のCPUのみによって制御する代わりに、各機能ブロック毎

3

アル・データをパラレル・データに変換するシリアル変換装置11が設けられている。2はコンソールであり、デバッグ用のコンソール・モニタを搭載しており、コネクタ21よりデバッグ用の信号を供給する。

この従来例の場合、コンソール2と各機能ユニット1～4との間の信号の送受をRS-232C等のシリアル・インターフェイスで行っており、したがって、シリアル・パラレル変換回路（以下シラバラ変換回路という）11が設けられている。

この従来例の場合には、コンソール2をまずCPUを含む機能ユニット1のコネクタ15に接続して必要なテスト等を行い、次いで、機能ユニット2のコネクタ15にコンソール2を接続し直して、機能ユニット2の機能を確認する。

〔発明が解決しようとする課題〕

以上に述べた従来例によると、複数個ある機能ユニットの数だけ、コンソールのコネクタを接続し直す作業が必要であり、非常に能率が悪いとい

にCPUを設けて各機能毎の分散制御を行い、装置全体の効率的な制御を行う。製品開発時には、これらのCPUの機能を確認する必要があり、一般には、コンソールモニタと呼ばれるプログラムを用いて、外部コンソールより各CPUのハード的及びソフト的なデバッグを行っている。

〔従来の技術〕

第4図は、外部コンソールよりコンソールモニタを用いてデバッグを行う従来方式を示している。第4図において、10はマルチCPU型の装置であり、プリント板に搭載されたCPU12等を含む複数の機能ユニット1、2、3、4（この従来例では4個の例が示してあるが、任意のn個である。）によって構成されている。各機能ユニット1～4内には、CPU12の外、バス13が設けられており、このバス13はマルチCPU型装置10の共通バスに接続されている。各プリント板1～4には、更に、外部からのデバッグ用のデータを受けするためのコネクタ15、コネクタ15からのシリ

4

う課題を有する。

また、予めデバッグ用のコンソールを各機能ユニットのCPUに接続しておけば、能率良くデバッグ作業ができるが、このような方式によつては、CPUの数だけコンソールが必要となり、高価になってしまうという課題を有している。

本発明は、このような点に鑑みてなされたものであり、一台のコンソールを用いて、マルチCPU型装置のデバッグ作業を能率良く行うことができるテスト・保守用コンソール接続方式を提供することを目的とする。

〔課題を解決するための手段〕

第1図は、本発明の保守用コンソール接続方式の原理ブロック図である。第1図において、第4図と共に説明した従来例と同じ部分については、同一の番号を付与してあるので、これらの部分についての詳細な説明は省略する。

第1図において、マルチCPU型装置10内には、4個の機能ユニット1、2、3、4が備えら

6

5

れており、各機能ユニット1～4内には、シリバラ変換回路11、CPU12、バス13が含まれている。また、各機能ユニット1～4にまたがって、共通バス14が設けられている。

以上の構成は従来例と同様であるが、本発明では、コンソール・バス25を設けてマルチCPU型装置10内の各機能ユニット1～4のシリバラ変換回路11に接続すると共に、このコンソール・バス25を、インターフェース24を介してコネクタ23に接続している。更に、機能ユニット1にはセレクトタ30を設け（この機能ユニットのプリント板をメイン・プリント板と称する。）、このセレクトタ30から残りの各機能ユニット2～4（これらの機能ユニットのプリント板をサブ・プリント板と称する。）に対してセレクト信号を供給している。

実際のデバッグ作業時には、唯一のコンソール21を用意してそのコネクタ22とマルチCPU型装置10のコネクタ23とを接続する。そして、セレクトタ30からイネーブル信号を供給して、特

定のシリバラ変換回路11のみを動作させてコンソール21のシリアルデータをパラレルデータに変換し、コンソール21からのデバッグ信号を特定の機能ユニットのCPU12のみに供給する。

この状態で、選択された特定の機能ユニットのデバッグ作業を遂行する。一つのプリント板上の機能ユニットのデバッグ作業を終了すると、セレクトタ30から別のプリント板上の機能ユニットを選択するためのイネーブル信号を供給して、別のプリント板にデバッグのための信号を供給し、別のプリント板上の機能ユニットのデバッグ作業を行うことになる。

〔作用〕

セレクトタ30からのイネーブル信号によって、機能ユニット1、2、3、4の内、特定の機能ユニット内のシリバラ変換回路のみを選択して、これを動作可能とすることができる。そのため、唯一のコンソール21を設けるだけで、機械的な接続替えを行うことなく、複数個の機能ユニットに

対して順次、独立してコンソール21からのデバッグ信号を供給することが可能となる。

これによって、複数個の機能ユニットのデバッグ作業をそれぞれ独立して、高能率に順次行うことが可能となる。

〔実施例〕

第2図は、本発明の第1の実施例である。この実施例では、各プリント板に搭載されるユニットには、シリバラ変換回路11、CPU12、バス13、I/Oインターフェース15、ROM16、RAM17、バス・バッファ18、19が備えられており、メイン・プリント板上の機能ユニット1には更に、セレクトタ30、セレクトへの信号設定用スイッチ31、コネクタ23及びレベル変換器24が備えられる。コネクタ23からの信号線はレベル変換器24を経由してコンソール・バス25に接続され、このコンソール・バスは各機能ユニットに設けられたバス・バッファ18に接続されている。また、セレクトタ30からは、各機能

ユニット1～4のバス・バッファ18に対して、特定の機能ユニットのバス・バッファのみの動作を可能とするイネーブル信号が供給される。

この実施例の場合、コネクタ23として、RS-232Cシリアル・インターフェースを採用しており、コンソール・バス25は複数個の制御線等と一对の入力線、出力線を含んでいる。そして、レベル変換器24はRS-232Cシリアル・インターフェースに従った信号レベルをTTLレベルに変換する。

実際のデバッグ作業においては、スイッチ31によってセレクトタ30をセットして、特定の機能ユニット例えば機能ユニット1のバス・バッファ18にイネーブル信号を供給し、このバス・バッファのみを動作可能とする。そして、コンソール21の出力をコネクタ22、23を介して機能ユニット1に供給し、コンソール21からのコンソール・モニタを動作させて、必要なデバッグ作業を行う。

機能ユニット1のデバッグ作業終了後は、スイ

ッチ 31 により他の機能ユニット、例えば機能ユニット 2 のバス・バッファにイネーブル信号を供給して動作させ、前述と同様な方法により機能ユニット 2 のデバッグ作業を行うことになる。

この実施例では、4 つの機能ユニットが示されているが、より多くの機能ユニットがあつても、同様な方法によつてデバッグ作業が可能なことは言うまでもない。

第 3 図は、本発明の第 2 の実施例である。この第 2 の実施例においても、プリント板に搭載されるユニット 1 ~ 4 には、第 1 の実施例と同様シリバラ変換回路 11、CPU 12、バス 13、I/O インターフェース 15、ROM 16、RAM 17、バス・バッファ 18、19 が備えられており、メイン・プリント板上の機能ユニット 1 には更に、コネクタ 23 及びレベル変換器 24 が備えられる。コネクタ 23 からの信号線はレベル変換器 24 を経由してコンソール・バス 25 に接続され、このコンソール・バスは各機能ユニットに設けられたバス・バッファ 18 に接続されている。また、各

ユニット 1 ~ 4 のバス 13 はバス・バッファ 19 を介して共通バス 14 に接続される。

この実施例では、コンソール 21 側のソフトウェアにより、どのユニットのデバッグを行うかを制御する。そのため、第 2 図のセレクトの代わりに、デコーダ 32、シリバラ変換回路 33、制御部 34 を設けている。

実際のデバッグに際しては、まず、コンソール 21 側から制御器 34 に対して、制御信号を送り、シリバラ変換器 33、デコーダ 32 を動作状態に切り換える。この状態で、引き続き、コンソール 21 から特定のユニット選択のための制御信号（セレクト指示信号）をシリバラ変換器 33 を介してデコーダ 32 に供給し、これをデコーダ 32 によつて解読し、特定のユニットのバス・バッファのみにイネーブル信号を送信する。これによつてその特定のユニットのバス・バッファのみを動作状態として、コンソール 21 からのデバッグ信号をそのユニットに供給し、必要なデバッグを行う。

11

この場合、特に制御器 34 を設けることなく、デコーダ 32 自身にセレクト信号のみでなく、デバッグ開始の信号の解読を行わせてもよい。

〔発明の効果〕

以上述べたとおり、本発明によれば一台のコンソールにより、複数の CPU ユニットの制御可能となり、複数のコンソールを必要とせず、また、コンソール、CPU 間の接続をかえる必要がなくなり、効率的なデバッグ作業等の如き、テスト・保守操作が可能となる。

4. 図面の簡単な説明

第 1 図は本発明によるコンソール接続方式の原理図、

第 2 図は本発明の第 1 の実施例を示す図、

第 3 図は本発明の第 2 の実施例を示す図、

第 4 図は従来例を示す図である。

1、2、3、4 … CPU を含む機能ユニット、

13

12

11 … シリアララ変換回路、

12 … CPU、

13 … ユニット内バス、

14 … 共通バス、

21 … コンソール、

22、23 … コネクタ、

24 … インターフェース、

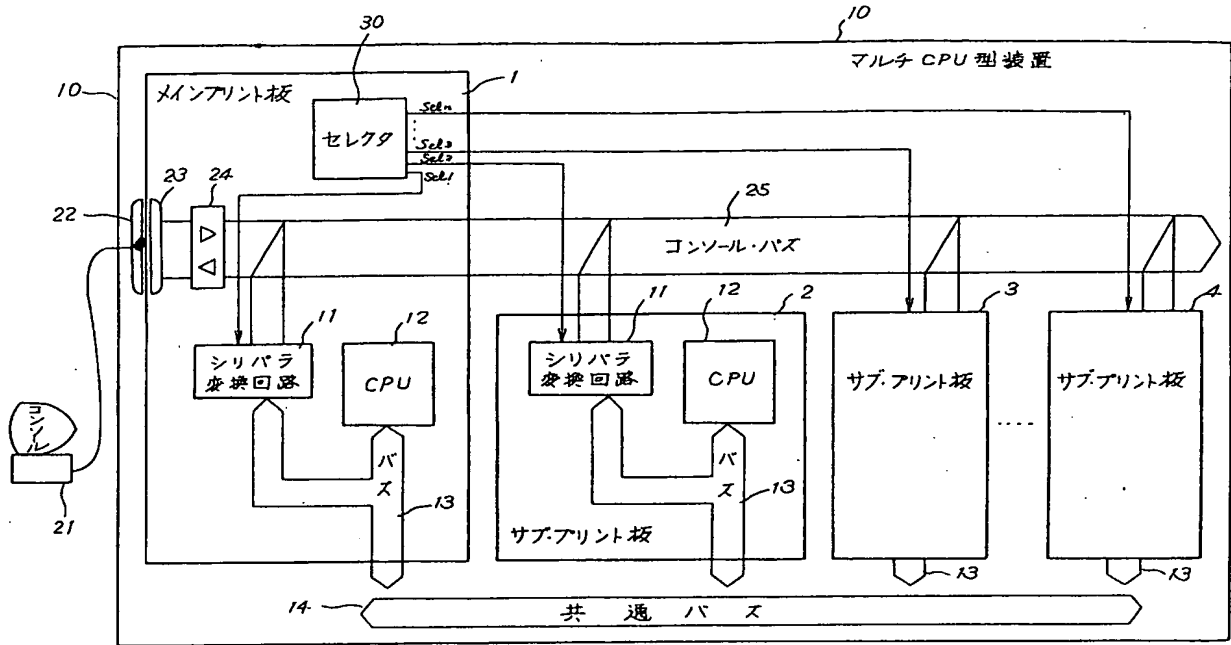
25 … コンソール・バス、

30 … セレクト。

特許出願人 富士通株式会社

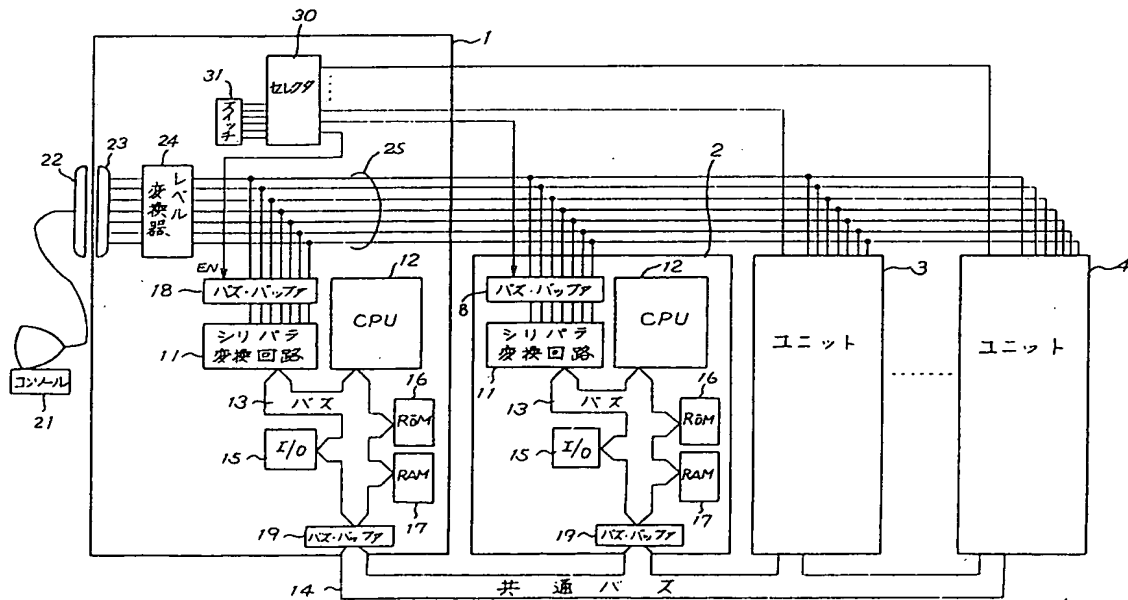
代理人 弁理士 山 谷 晴 榮

14



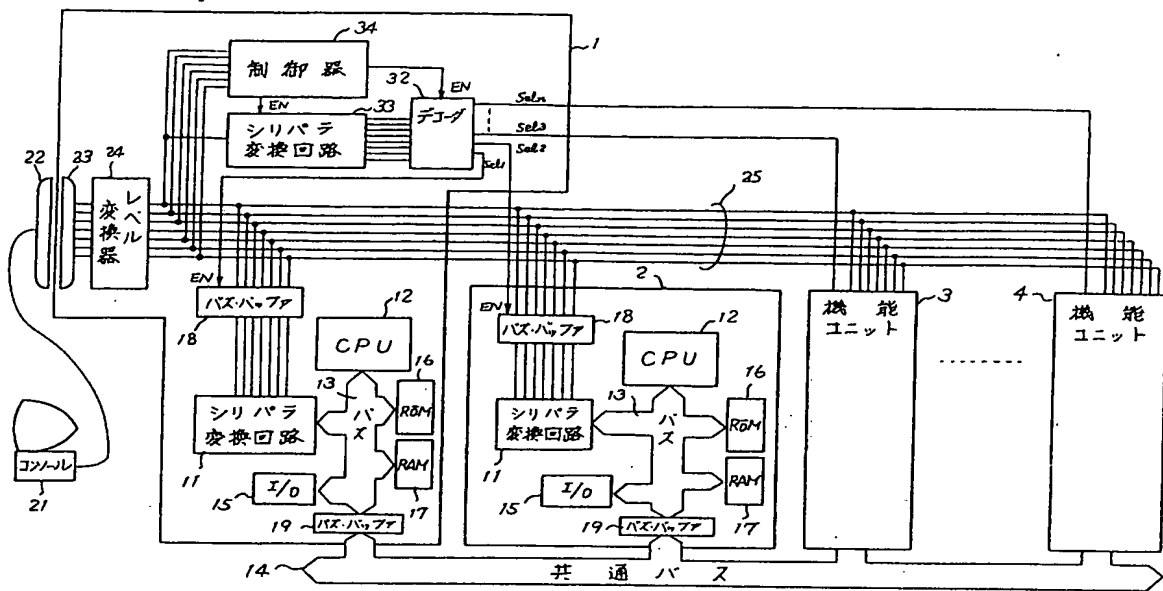
本発明によるコンソール接続方式原理図

第1図

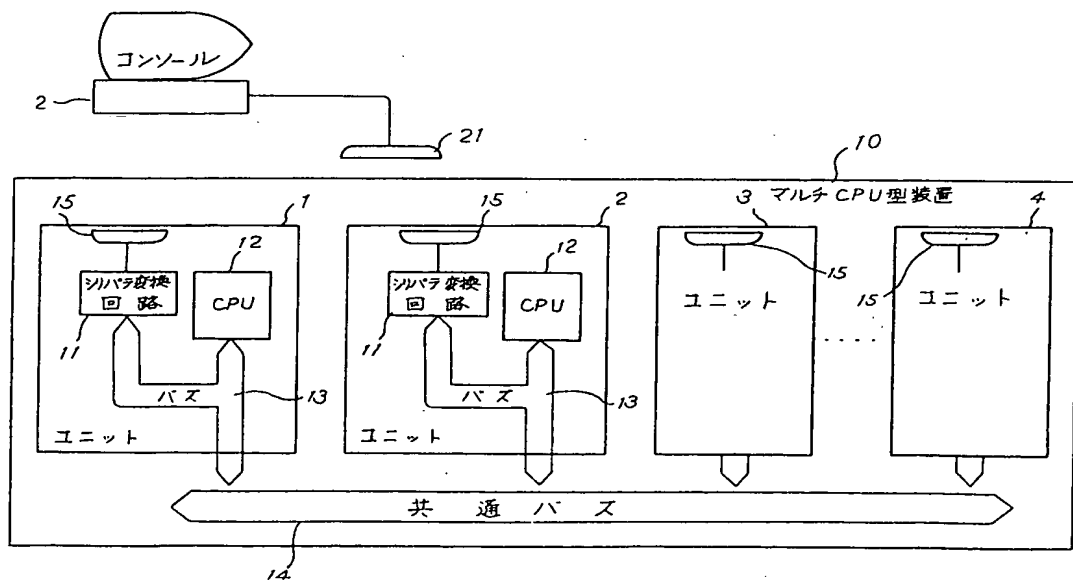


本発明の第1の実施例

第2図



本発明の第2の実施例
第3図



従来例
第4図